

سمینار

راه‌حل‌های الگوریتمی و معماری

برای بهبود سرعت و توان مصرفی

در FPGA

ارائه کننده: دکتر کیارش بازرگان

استادیار رشته مهندسی برق و کامپیوتر در دانشگاه Minnesota

دکترای مهندسی برق و کامپیوتر از دانشگاه Northwestern



دانشکده مهندسی کامپیوتر

دوشنبه ۸۴/۱۰/۵

ساعت ۱۲ الی ۱۳

تالار خوارزمی

چکیده:

با افزایش سرسام آور قیمت تمام شده مدارهای منطقی و رقابت شدید بین شرکتهای طراحی و تولید آی‌سی‌های (Application Specific Integrated Circuit) ASIC طراحان مدارهای دیجیتال بیشتر و بیشتر به آی‌سی‌های (Field Programmable Gate Array) FPGA روی می‌آورند. از طرف دیگر سرعت، مساحت و توان مصرفی FPGA خیلی بدتر از ASIC است. در این سخنرانی تلاشهایی که در دانشگاه مینسوتای امریکا و دیگر دانشگاهها برای بهتر کردن FPGA ارایه شده است خواهیم پرداخت. این تلاشها شامل معماری جدید و طراحی الگوریتم‌های بهتر برای پیاده سازی مدارها بر روی FPGA میباشد. همچنین به مثال‌هایی از کاربرد Reconfigurable Computing برای استفاده بهینه از FPGA خواهیم پرداخت. در پایان، به بررسی مساله‌های روز در حیطه FPGA می‌پردازیم که دانشجویان کارشناسی، کارشناسی ارشد و دکترا میتوانند در حل آنها نقش داشته باشند.

انجمن علمی دانشکده کامپیوتر

<http://ssc.ce.sharif.edu>